



IPW

Serial No: 10/822,529
W&B Docket No.: INF 2294-US
OC Docket No.: INFN/0077

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

Jens Braun, et al

Serial No.: 10/822,529

Filed: April 12, 2004

For: METHOD AND APPARATUS
FOR TESTING DRAM MEMORY
CHIPS IN MULTICHIP MEMORY
MODULES

§
§
§
§
§
§
§
§
§
§
§

Group Art Unit: 2819

Confirmation No. 3329

MAIL STOP
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

CERTIFICATE OF MAILING 37 CFR 1.8	
I hereby certify that this correspondence is being deposited on <u>July 26, 2004</u> with the United States Postal Service as First Class Mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450 Alexandria, VA 22313-1450.	
<u>7-26-04</u> Date	<u>[Signature]</u> Signature

CLAIM TO PRIORITY

Applicant(s) reaffirm the claim for the benefit of filing date of the following foreign patent application referred to in Applicant's Declaration:

German Patent Application Serial Number 103 16 931.8 filed April 12, 2003.

A copy of the application certified by the German Patent Office is enclosed.

Respectfully submitted,

[Signature]
Gero G. McClellan
Registration No. 44,227
MOSER, PATTERSON & SHERIDAN, L.L.P.
3040 Post Oak Blvd. Suite 1500
Houston, TX 77056
Telephone: (713) 623-4844
Facsimile: (713) 623-4846
Agent for Applicant(s)

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 16 931.8

Anmeldetag: 12. April 2003

Anmelder/Inhaber: Infineon Technologies AG, 81669 München/DE

Bezeichnung: Verfahren und Vorrichtung zum Testen von DRAM-Speicherbausteinen in Multichip-Speichermodulen

IPC: G 11 C 29/00

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

**CERTIFIED COPY OF
PRIORITY DOCUMENT**

München, den 29. März 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Stanschus

Beschreibung

Verfahren und Vorrichtung zum Testen von DRAM-Speicherbausteinen in Multichip-Speichermodulen

5

Die Erfindung betrifft ein Verfahren und eine Vorrichtung zum Testen von DRAM-Speicherbausteinen in Multichip-Speichermodulen.

10

Im Markt für Speicherkomponenten für Geräte für mobile Anwendungen, z.B. Mobiltelefone oder Notebooks, gewinnen Multichip-Speichermodule, die einen DRAM-Speicherbaustein (flüchtiger Speicher) und einen Flash-Baustein (nichtflüchtiger Speicher) in einem Gehäuse vereinen, zunehmend Anteile. Während im Flash-Baustein Programme und Daten abgelegt sind, die auch bei abgeschalteter Betriebsspannung erhalten bleiben müssen, wird der DRAM-Speicherbaustein verwendet, um einen schnellen Zugriff auf Daten und Programmteile in einem operativen Betriebsmodus des Gerätes zu gewährleisten.

15

Ein sich abzeichnender Trend ist eine Fertigung der Multichip-Speichermodule im Rahmen so genannter Known-Good-Die (KGD) Geschäftsmodelle. Dies bedeutet, dass gewährleistet ist, dass der ungehäuste Speicherbaustein den gleichen Qualitätsstandard wie der gehäuste Speicherbaustein erfüllt. Im Rahmen der KGD-Geschäftsmodelle werden auf Scheibenebene getestete DRAM-Speicherbausteine und Flash-Bausteine in ein Multichip-Speichermodul verpackt und gegebenenfalls nach einem kurzen Komponententest ausgeliefert. Dabei stellt sich die Frage nach einer zu erwartenden Frühausfallrate der Multichip-Speichermodule. Hersteller von Flash-Bausteinen lösen dieses Problem zum Teil durch einen reinen Temperaturstress der Scheiben ohne zusätzlichen elektrischen Stress, wodurch ein Frühausfall der Flash-Bausteine beschleunigt wird.

20

25

30

- Ein üblicher Weg zur Senkung der Frühausfallrate der DRAM-Speicherbausteine besteht in einem mehrere Stunden (2 bis 20 Stunden) dauernden Burn-in, wobei die Dauer des Vorgangs vom Stand der Technologie, der Speichergröße und der angestrebten Fertigungsqualität abhängt. Dabei wird jeder einzelne DRAM-Speicherbaustein kontinuierlichem elektrischem Stress bei erhöhter Temperatur ausgesetzt. Eine Nachbildung dieses Verfahrens auf Scheibenebene ist mit erheblichen Kosten und technischen Problemen, wie beispielsweise das Erfordernis einer gleichzeitigen Kontaktierung aller Bausteine auf der Scheibe verbunden. In der Regel werden daher unter Umständen stark verkürzte Testzeiten angewendet und daraus resultierend in nachteiliger Weise eine relativ hohe Frühausfallrate der DRAM-Speicherbausteine in Kauf genommen.
- 15 Typische Anwendungen der DRAM-Speicherbausteine betreffen beispielsweise grafische Anwendungen der genannten Geräte, wie beispielsweise ein Bildspeicher für das Display des Mobiltelefons. Bei diesen Anwendungen haben einige Pixelfehler keine entscheidende Beeinträchtigung der Funktionalität der Anwendung zur Folge. Allerdings werden DRAM-Speicherbausteine auch als Zwischenspeicher für Programmteile und Daten verwendet, bei denen sich ein Ausfall von Speicherzellen der DRAM-Speicherbausteine äußerst nachteilig auswirken kann. Dadurch kann eine hohe Frühausfallrate die Zuverlässigkeit der DRAM-Speicherbausteine erheblich beeinträchtigen und stellt somit einen nicht zu vernachlässigenden Nachteil dar.

- Es ist somit die Aufgabe der vorliegenden Erfindung, ein Verfahren und eine Vorrichtung bereitzustellen, mit deren Hilfe die Zuverlässigkeit von DRAM-Speicherbausteinen in Multichip-Speichermodulen erhöht werden kann, wobei die Multichip-Speichermodule in Geräten für mobile Anwendungen verbaut sind.

Die Aufgabe wird mit einem Verfahren, das die Merkmale von Anspruch 1 sowie mit einer Vorrichtung, die die Merkmale von Anspruch 13 aufweist, gelöst.

Bevorzugte Weiterbildungen der Erfindung sind in abhängigen Ansprüchen angegeben.

Das erfindungsgemäße Verfahren sieht ein Testen von Speicherzellen eines DRAM-Speicherbausteins vor, wobei der DRAM-Speicherbaustein in einem Multichip-Speichermodul zusammen mit einem nichtflüchtigen Speicherbaustein angeordnet ist, und wobei das Multichip-Speichermodul in einem Gerät, insbesondere in einem Mobiltelefon oder in einem Notebook verbaut ist. In einer Zeit, in der auf die Speicherzellen des DRAM-Speicherbausteins in einem operativen Betriebsmodus des Gerätes nicht zugegriffen wird, wird der DRAM-Speicherbaustein einem Selbsttest unterzogen, bei dem eine Funktionsfähigkeit der Speicherzellen überprüft wird.

In vorteilhafter Weise stellt das erfindungsgemäße Verfahren somit einen zusätzlichen Betriebsmodus des DRAM-Speicherbausteins bereit, wobei der zusätzliche Betriebsmodus in Phasen, in denen das Gerät für die mobile Anwendung nicht zum Einsatz kommt (z.B. ein Ladevorgang eines Akkus oder eine längere Stand-by-Zeit des Mobiltelefons oder des Notebooks), einen Selbsttest des DRAM-Speicherbausteins durchführt. Dabei kann in der Regel auf integrierte Schaltungen zurückgegriffen werden, die zum regulären Testen des DRAM-Speicherbausteins im Herstellungsprozess verwendet werden.

Vorzugsweise sieht das erfindungsgemäße Verfahren vor, dass ein Datenbus des DRAM-Speicherbausteins und ein Datenbus des nichtflüchtigen Speicherbausteins verbunden werden, um Fehleradressen von fehlerhaften Speicherzellen des DRAM-Speicherbausteins im nichtflüchtigen Speicherbaustein abzuspeichern. Dadurch ist in vorteilhafter Weise eine Identifi-

zierung der fehlerhaften Speicherzellen im DRAM-Speicherbaustein unterstützt.

Eine weitere bevorzugte Ausführungsform des erfindungsgemäßen Verfahrens sieht vor, dass mit Hilfe einer Selbsttest-

5 Steuereinrichtung, die im DRAM-Speicherbaustein angeordnet ist, Adressen des DRAM-Speicherbausteins, sowie mit Hilfe einer Zentralrecheneinheit Adressen des nichtflüchtigen Speicherbausteins angesteuert werden. Dadurch ist in vorteilhafter Weise unterstützt, dass der DRAM-Speicherbaustein eine
10 interne Speicherzellenstruktur mit Hilfe der Selbsttest-Steuereinrichtung eigenständig adressiert. Dadurch wird die Zentralrecheneinheit von der Adressierung der Speicherzellen des DRAM-Speicherbausteins entbunden, bzw. braucht über die interne Speicherzellenstruktur des DRAM-Speicherbausteins
15 nicht informiert zu sein.

Vorzugsweise ist im erfindungsgemäßen Verfahren weiterhin vorgesehen, dass mittels des Selbsttests erkannte fehlerhafte Speicherzellen im DRAM-Speicherbaustein durch redundante Speicherzellen ersetzt werden. Dadurch ist es in vorteilhafter
20 Weise möglich, redundante Speicherzellen, die im Zuge des Herstellungsprozesses des DRAM-Speicherbausteins serienmäßig gefertigt werden, zu verwenden, wobei die Adressen der redundanten Speicherzellen bei einem Hochfahren des DRAM-Speicherbausteins mit Hilfe von Softfuses gelesen werden. Es
25 ist somit in vorteilhafter Weise möglich, auch nach dem regulären Herstellungsprozess auf dem DRAM-Speicherbaustein vorhandene redundante Speicherzellen zur Reparatur der fehlerhaften Speicherzellen einzusetzen.

In einer weiteren bevorzugten Ausführungsform des erfindungsgemäßen Verfahrens ist es vorgesehen, dass der Selbsttest während eines Akku-Ladevorganges und/oder während einer
30 Stand-by-Zeit des Gerätes durchgeführt wird. Dadurch können in vorteilhafter Weise Zeiten, in denen das Gerät nicht ope-

rativ eingesetzt wird, zum Testen des DRAM-Speicherbausteins verwendet werden.

5 Zum besseren Verständnis der vorliegenden Erfindung wird diese nachfolgend anhand der beigefügten Figuren detailliert beschrieben. Dabei zeigt

Fig. 1 ein prinzipielles Blockschaltbild eines Multichip-Speichermoduls mit einem Ausführungsbeispiel der erfindungsgemäßen Vorrichtung; und

10 Fig. 2 eine prinzipielle Darstellung eines Gerätes, in dem das erfindungsgemäße Verfahren eingesetzt wird.

Ein bevorzugtes Ausführungsbeispiel der erfindungsgemäßen Vorrichtung ist in Fig. 1 dargestellt. Gezeigt ist ein vereinfachtes Blockschaltbild eines Multichip-Speichermoduls 1 mit einem DRAM-Speicherbaustein 2 und einem nichtflüchtigen Speicherbaustein 3 mit Anschlüssen, die für die erfindungsgemäße Vorrichtung relevant sind. Weitere funktionale Anschlüsse sind möglich, haben allerdings auf das erfindungsgemäße, vorgestellte Prinzip keinerlei Einfluss und sind daher nicht dargestellt. Das Blockschaltbild ist um Elemente einer Testeinrichtung mit einer Selbsttest-Steuereinrichtung 5 erweitert. Zwei Betriebsmodi können im Multichip-Speichermodul 1 unterschieden werden:

- Funktionaler Modus (darin sind die strichlierten Elemente wirkungslos)
- 25 - Selbsttestmodus (strichlierte Elemente sind aktiviert).

Mittels der Selbsttest-Steuereinrichtung 5 kann das erfindungsgemäße Verfahren von einer Zentralrecheneinheit 11 (in Fig. 1 nicht dargestellt), die außerhalb des Multichip-Speichermoduls 1 angeordnet ist, initiiert werden.

Wie es bereits von herkömmlichen Speicherbausteinen bekannt ist, lassen sich die Anschlüsse des Multichip-Speichermoduls 1, bestehend aus dem DRAM-Speicherbaustein 2 und dem nichtflüchtigen Speicherbaustein 3 in drei Gruppen einteilen:

- 5 - Steueranschlüsse (dies sind in der Regel Eingänge, wobei beim nichtflüchtigen Speicherbaustein 3 oftmals ein so genannter Ready/Busy-Ausgang vorgesehen ist, der eine Verfügbarkeit des nichtflüchtigen Speicherbausteins 3 anzeigt),

10

- Adressanschlüsse (Eingänge), die teilweise im Multichip-Speichermodul 1 vom DRAM-Speicherbaustein 2 und vom nichtflüchtigen Speicherbaustein 3 gemeinsam benutzt werden, und

15

- Datenanschlüsse (bidirektional), die im Multichip-Speichermodul 1 vom DRAM-Speicherbaustein 2 und vom nichtflüchtigen Speicherbaustein 3 im Allgemeinen gemeinsam genutzt werden.

- 20 Die nachfolgende Tabelle 1 zeigt eine Auflistung von Anschlüssen am DRAM-Speicherbaustein 2 sowie Anschlüsse am nichtflüchtigen Speicherbaustein 3, die für das erfindungsgemäße Verfahren relevant sind.

25

Pin/Pingruppe	Funktionaler Modus	Selbsttest-Modus
F-RST/STI	Flash Reset (Eingang)	Clock für Selbsttestschaltung, ggf. Unterbrechen/Abbrechen des Selbsttests (Eingang)
F-CS	Flash Chip Select (Eingang)	wirkungslos
F-OE	Flash Output Enable (Eingang)	wirkungslos
F-WE	Flash Write Enable (Eingang)	wirkungslos
D-CS	DRAM-Chip Select (Eingang)	wirkungslos
D-OE	DRAM-Output Enable (Eingang)	wirkungslos
D-WE	DRAM Write Enable (Eingang)	wirkungslos
F_RDY/STO	Flash Ready/Busy (Ausgang)	Selbsttest läuft/beendet/nächste Flash-Adresse erforderlich (Ausgang)
A[0:n]	gemeinsamer Adressbus Flash/DRAM (Eingänge)	Adressbus Flash (Eingänge), wirkungslos für DRAM-Adressen
DQ[0:m]	gemeinsamer Datenbus Flash/DRAM (bidirektional)	abgeschaltet (Hi-Z). Wenn Lösung Nr. 1 in Tab. 2 verwendet: Ausgabe der FA

Tabelle 1

Der Tabelle ist zu entnehmen, dass die aufgelisteten Anschlüsse am DRAM-Speicherbaustein 2 und am nichtflüchtigen Speicherbaustein 3 in einem funktionalen Modus und einem Selbsttestmodus des Multichip-Speichermoduls 1 eine unterschiedliche Funktionalität aufweisen. Im Selbsttestmodus, der vorzugsweise während eines Akku-Ladevorganges des Gerätes stattfindet, in dem das Multichip-Speichermodul 1 verbaut ist, wird durch einen entsprechenden Mode-Registerbefehl durch die Zentralrecheneinheit 11 das erfindungsgemäße Verfahren mit dem Selbsttest ausgelöst.

Die Selbsttest-Steuereinrichtung 5 steuert ab diesem Zeitpunkt die Anschlüsse F-CS (Flash Chip Select), F-OE (Flash Output Enable), F-WE (Flash Write Enable) am nichtflüchtigen Speicherbaustein 3 sowie die Anschlüsse D-CS, D-OE und D-WE am DRAM-Speicherbaustein 2. Für die Ansteuerung der Anschlüsse F-CS, F-OE und F-WE sind zusätzliche Bond-Verbindungen innerhalb des Multichip-Speichermoduls 1 erforderlich. Nachdem der Selbsttest mit Hilfe der Selbsttest-Steuereinrichtung

5 ausgelöst wurde, sind die genannten sechs Anschlüsse durch ein Abschalten einer elektronischen Schaltereinrichtung, beispielsweise einer Treiberstufe (in Figur 1 nicht dargestellt) von außerhalb des Multichip-Speichermoduls 1 nicht mehr ansteuerbar. Weiterhin wird ein interner Datenbus F-DQ am nichtflüchtigen Speicherbaustein 3 mit einem Datenbus T-DQ am DRAM-Speicherbaustein 2 verbunden und externe Anschlüsse DQ [0:m] mit Hilfe einer Schaltereinrichtung 7 hochohmig geschaltet und damit außerhalb des Multichip-Speichermoduls 1 abgeschaltet.

Die Selbsttest-Steuereinrichtung 5 steuert im Zuge des erfindungsgemäßen Verfahrens auch Adressen D-A am DRAM-Speicherbaustein 2. Ferner werden Adressen F-A am nichtflüchtigen Speicherbaustein 3 weiterhin durch die Zentralrecheneinheit 11 angesteuert. Durch die in der Fig. 1 strichliert dargestellten Verbindungsleitungen zur Selbsttest-Steuereinrichtung 5 ist angedeutet, dass diese im Selbsttestmodus betrieben werden. Aus Gründen der Übersichtlichkeit wurde in der Figur auf die Darstellung einer Spannungs- bzw. Stromversorgung verzichtet. Anschlüsse am Multichip-Speichermodul 1, die nach außen geführt sind, sind schraffiert dargestellt.

Für das erfindungsgemäße Testverfahren wird der DRAM-Speicherbaustein 2 intern in N Testbereiche, beispielsweise Bänke (nicht dargestellt) aufgeteilt. Jedem dieser Testbereiche sind eine oder mehrere Adressen des nichtflüchtigen Speicherbausteins 3 zur Speicherung von Informationen über fehlerhafte Speicherzellen 4 zugeteilt. Diese Information können beispielsweise eine Fehleradresse und/oder eine Softfuse-Einstellung des DRAM-Speicherbausteins 2 umfassen.

Ein chronologischer Ablauf des erfindungsgemäßen Verfahrens sieht vorzugsweise wie folgt aus:

Am Anschluss STI wird durch die Zentralrecheneinheit 11 ein Taktsignal angelegt. Sobald das Taktsignal am Anschluss STI

länger als ein bis zwei Perioden ausbleibt, verlässt das Multichip-Speichermodul 1 den funktionalen Modus, wodurch der Anschluss STO auf High-Pegel geschaltet und der Zentralrecheneinheit 11 dadurch signalisiert, dass die Selbsttest-Steuereinrichtung 5 aktiv ist. Gleichzeitig steuert die Zentralrecheneinheit 11 diejenige Adresse des nichtflüchtigen Speicherbausteins 3 an, in der gegebenenfalls Testergebnisse zum ersten Testbereich abgespeichert werden können.

Daraufhin führt die Selbsttest-Steuereinrichtung 5 über eine Adressdekodierschaltung 6a, 6b eine Adressierung der Speicherzellen 4 des DRAM-Speicherbausteins 2 durch und führt mit den Speicherzellen 4 Testalgorithmen zusammen mit Testeinstellungen interner Versorgungsspannungen und Timings durch. Die Testalgorithmen in der Selbsttest-Steuereinrichtung 5 sind vorzugsweise als klassische BIST (Built-In-Self-Test)-Implementationen ausgestaltet. Das Schreiben der Daten erfolgt über den Datenbus D-DQ des DRAM-Speicherbausteins 2 sowie über einen Datenbus F-DQ des nichtflüchtigen Speicherbausteins 3 und wird von der Selbsttest-Steuereinrichtung 5 gesteuert. Ein ein bis zwei Takte dauernder Low-Puls am Anschluss STO veranlasst die Zentralrecheneinheit 11, eine Adresse für den nächsten Testbereich des DRAM-Speicherbausteins 2 anzulegen. Nach N Low-Pulsen am Anschluss STO ist der gesamte Testvorgang beendet.

Abhängig von einer gewählten Behandlung der detektierten Fehleradressen (siehe Tabelle 2) können nun weitere, von der Selbsttest-Steuereinrichtung 5 gesteuerte Operationen im DRAM-Speicherbaustein 2 erfolgen (z.B. Setzen von Softfuses). Ein finaler Low-Puls am Anschluss STO signalisiert der Zentralrecheneinheit 11, dass der Selbsttest beendet und das Multichip-Speichermodul 1 in den funktionalen Modus zurückgeschaltet wurde.

Nachdem das Multichip-Speichermodul 1 nach einem Abschalten der Versorgungsspannung des Gerätes nicht in der Lage ist,

die fehlerbezogenen Informationen (z.B. fehlerhafte und reparierte Speicherzellen, nicht verwendete Fehleradressen, usw.) vorangegangener Selbsttests zu speichern, ist es erforderlich, dass das Multichip-Speichermodul 1 bei jedem Hochfahren in den Selbsttestmodus geschaltet wird, um im DRAM-Speicherbaustein 2 die fehlerbezogenen Informationen vorangegangener Tests wiederherzustellen. Zu diesem Zweck kann ein weiterer Mode-Registerbefehl verwendet werden, welcher die Selbsttest-Steuereinrichtung 5 veranlasst, keinen oder lediglich einen sehr kurzen initialen Selbsttest durchzuführen.

Nachfolgend wird anhand von Tabelle 2 dargestellt, in welcher Weise das erfindungsgemäße Verfahren die Behandlung der im Selbsttest erkannten fehlerhaften Speicherzellen 4 ermöglicht.

Nr.	Beschreibung	DRAM	Zentralrecheneinheit
1	Ausblenden von FA	keine zusätzlichen Maßnahmen	Die FA werden von der Zentralrecheneinheit aus dem Flash gelesen und nicht verwendet.
2		Die FA werden beim Hochfahren durch die Testschaltung vom Flash gelesen. Eine angesprochene FA wird von der Adressdekodierschaltung übersprungen.	Keine zusätzlichen Maßnahmen
3	Verwendung redundanter Elementes des DRAM	Pro DRAM-Einheit (z.B. Bank) werden 1 – 2 (getestete) redundante Wortleitungen vorgehalten, die ggf. beim Hochfahren (abhängig vom Flash-Inhalt) per Softfuse gelesen werden.	Keine zusätzlichen Maßnahmen

Tabelle 2

FA ... Fehleradresse

Aus der Tabelle ist ersichtlich, dass prinzipiell zwei verschiedene Möglichkeiten bestehen, die im Selbsttest erkannten fehlerhaften Speicherzellen 4 zu behandeln. Einerseits können

erkannte fehlerhafte Adressen ausgeblendet, d.h. von der Verwendung ausgeschlossen werden (Nr.1, Nr.2), andererseits können diese durch redundante Speicherelemente 4 ersetzt werden (Nr.3).

5 Beim Ausblenden der fehlerhaften Adressen sind wiederum zwei verschiedene Möglichkeiten denkbar. Zum einen kann die Zentralrecheneinheit 11, die in dem nichtflüchtigen Speicherbaustein 3 gespeicherten fehlerhaften Adressen auslesen, um diese im operativen Modus des Multichip-Speichermoduls 1 nicht
10 mehr zu verwenden. Zum anderen kann die Behandlung der fehlerhaften Adressen direkt im DRAM-Speicherbaustein 2 erfolgen, indem die fehlerhaften Adressen beim Hochfahren vom nichtflüchtigen Speicherbaustein 3 durch die Selbsttest-Steuereinrichtung 5 gelesen werden. Eine angesprochene fehlerhafte Adresse wird von der Adressdekodierschaltung 6a, 6b
15 übersprungen. Dadurch ist es also möglich, die Behandlung der fehlerhaften Adressen vollständig im DRAM-Speicherbaustein 2 zu belassen, was vorteilhafterweise eine erhöhte Kunden- und Nutzerfreundlichkeit mit sich bringt, die verfügbare
20 Speicherdichte am DRAM-Speicherbaustein 2 allerdings verringern kann.

Die zweite prinzipielle Möglichkeit zur Behandlung der fehlerhaften Adressen besteht in einer Verwendung redundanter Elemente des DRAM-Speicherbausteins 2. Zu diesem Zweck werden
25 pro Einheit (z.B. Bank) des DRAM-Speicherbausteins ein bis zwei getestete, redundante Wortleitungen bzw. Speicherzellen zur Verfügung gestellt, deren Adressen gegebenenfalls beim Hochfahren des Multichip-Speichermoduls 1, abhängig vom Inhalt des nichtflüchtigen Speicherbausteins 3 per Softfuse
30 gelesen werden. Auf diese Art und Weise können nützlicherweise einzelne, fehlerhafte Speicherzellen nach einem Reparaturprozess in der Fertigung durch das Lesen bzw. Setzen der Softfuse repariert werden.

Es muss bei der Verwendung der redundanten Elemente generell berücksichtigt werden, dass der DRAM-Speicherbaustein 2 zu diesem Zeitpunkt den für Scheiben üblichen Test bereits durchlaufen hat. Dieser schließt im Allgemeinen eine Reparatur, d.h. ein dauerhaftes Ersetzen der fehlerhaften Speicherzelle durch redundante Elemente ein. Somit ist also die Zahl der mittels des oben beschriebenen Selbsttests noch gefundenen fehlerhaften Zellen entsprechend klein und beträgt in etwa ein bis zwei Zellen bzw. Adressen pro Speicherbank. Die in der Tabelle 2 unter Nummer 3 angeführten redundanten Elemente (zusätzliche Wortleitungen und Spalten) sind, ebenso wie die Softfuses, auf dem DRAM-Speicherbaustein 2 in der Regel mehrfach vorhanden.

Zusammenfassend lässt sich das erfindungsgemäße Verfahren somit nach folgenden Kriterien klassifizieren:

- a) Umfang der Aufgaben, die beim Selbsttest an die Zentralrecheneinheit 11 ausgelagert werden, und
- b) Behandlung der fehlerhaften Speicherzellen 4 im DRAM-Speicherbaustein 2 durch eine Selbsttestlogik im DRAM-Speicherbaustein 2 bzw. durch die Zentralrecheneinheit 11.

Die erfindungsgemäße Lösung ist vorteilhafterweise so angelegt, dass die zum Test des DRAM-Speicherbausteins 2 erforderliche Schaltungslogik für einen Anwender nicht zugänglich ist. Somit schließt die Lösung Konfigurationen, bei denen die Zentralrecheneinheit 11 das Multichip-Speichermodul 1 zum Test stimuliert, aus. In vorteilhafter Weise sieht die erfindungsgemäße Lösung die Verwendung einer BIST-Schaltung auf dem DRAM-Speicherbaustein 2 vor. Derartige Schaltungen verwenden viele Hersteller von DRAM-Speicherbausteinen 2 heute ohnehin zum regulären Test von DRAM-Scheiben und Komponenten. Diese Schaltung kann auch noch auf weitere auf dem DRAM-Speicherbaustein 2 vorhandene Testschaltungen, beispielsweise

zum Verstellen interner Versorgungsspannungen und Timings zurückgreifen. In vorteilhafter Weise erlaubt das erfindungsgemäße Verfahren somit eine Wiederverwendbarkeit bereits vorhandener Teststrukturen.

- 5 Eine besonders hohe Flexibilität des erfindungsgemäßen Verfahrens ist dadurch gegeben, dass die Zentralrecheneinheit 11 praktisch nicht benötigt wird. Diese muss den Selbsttest lediglich anstoßen und gegebenenfalls ab- bzw. unterbrechen. Dies ist in der Regel mit einem erhöhten Aufwand auf der
- 10 Hardwareseite (Chipfläche, Design, Umfang) verbunden.

Das vorgeschlagene, erfindungsgemäße Verfahren berücksichtigt zwei vorhandene typische Merkmale von Multichip-Speichermodulen 1, die in Anwendungen wie beispielsweise Mobiltelefonen und/oder Notebooks verbaut sind:

- 15 - häufiger Wechsel zwischen operativem Betriebs- und Lademodus, und
- ein integrierter, nichtflüchtiger Flash-Speicher, um Daten abzulegen und auszulesen.

- 20 Weiterhin geht das erfindungsgemäße Verfahren von der Annahme aus, dass das Multichip-Speichermodul 1 von einer Zentralrecheneinheit 11 (Prozessor oder Controller) auf einer Platine des Gerätes für die mobile Anwendung angesteuert wird.

- Vorzugweise kann im nichtflüchtigen Speicherbaustein 3 ein Zeitplan abgespeichert sein, mit dessen Hilfe eine bestimmte
- 25 Anzahl der erfindungsgemäßen Selbsttests gesteuert werden kann. Dadurch ist es in vorteilhafter Weise möglich, den Selbsttest nach einer gewissen Zeit dauerhaft zu deaktivieren. Dies ist hinsichtlich von zu diesem Zeitpunkt bereits weitgehend ausgeschlossenen Frühausfällen der Speicherzellen
- 30 gerechtfertigt.

Eine weitere bevorzugte Ausführungsform der erfindungsgemäßen Vorrichtung kann die Selbsttest-Steuereinrichtung 5 auch auf dem nichtflüchtigen Speicherbaustein 3 vorsehen, wodurch die verfügbare Chipfläche am DRAM-Speicherbaustein 2 in vorteilhafter Weise erhöht ist.

Fig. 2 zeigt ein prinzipielles Blockschaltbild eines Gerätes, in dem die erfindungsgemäße Vorrichtung eingesetzt ist. Ein Gerät 8 (beispielsweise ein Mobiltelefon oder ein Notebook) umfasst das Multichip-Speichermodul 1, einen Akku 9 und eine Erkennungseinrichtung 10. Der Akku 9 ist mit dem Multichip-Speichermodul 1 verbunden und versorgt dieses mit einer geeigneten Betriebsspannung. Der Akku 9 ist weiterhin mit der Erkennungseinrichtung 10 verbunden, die ein Laden des Akkus 9 bzw. einen Akkuwechsel oder eine längere Stand-by-Zeit des Gerätes 8 erkennen kann. Eine Zentralrecheneinheit 11 ist mit der Erkennungseinrichtung 10 und mit dem Multichip-Speichermodul 1 verbunden. Mit Hilfe der Erkennungseinrichtung 10 ist es weiterhin möglich das erfindungsgemäße Verfahren über die Zentralrecheneinheit anzustoßen. In der Regel verbleibt der Akku 9 während des Ladevorgangs im Gerät 8, so dass die für das erfindungsgemäße Verfahren benötigte Zeit günstigerweise nicht die operative Betriebszeit des Gerätes verkürzt.

Das erfindungsgemäße Verfahren kann vorteilhaft ferner auch in solchen Fällen eingesetzt werden, in denen die im Gerät 8 verwendeten Akkus ausschließlich extern aufgeladen werden. Dabei kann der Selbsttest beispielsweise jedes Mal beim Vorgang des Akkuwechsels oder nach dem Abschalten des Gerätes 8 gemäß dem im nichtflüchtigen Speicherbaustein 3 gespeicherten Zeitplan ausgeführt werden.

Patentansprüche

1. Verfahren zum Testen von Speicherzellen (4) eines DRAM-Speicherbausteins (2), wobei der DRAM-Speicherbaustein (2) in
5 einem Multichip-Speichermodul (1) gemeinsam mit einem nichtflüchtigen Speicherbaustein (3) angeordnet ist, wobei das Multichip-Speichermodul (1) in einem Gerät (8), insbesondere in einem Mobiltelefon oder in einem Notebook verbaut ist,
10 d a d u r c h g e k e n n z e i c h n e t ,
dass der DRAM-Speicherbaustein (2) in einer Zeit, in der auf die Speicherzellen (4) des DRAM-Speicherbausteins (2) in einem operativen Betriebsmodus des Gerätes (8) nicht zugegriffen wird, einem Selbsttest unterzogen wird, bei dem die Funktionsfähigkeit der Speicherzellen (4) überprüft wird.
15
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass der Selbsttest von einer Zentralrecheneinheit, die ausserhalb
20 des Multichip-Speichermoduls (1) innerhalb des Gerätes (8) angeordnet ist, gestartet wird.
3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass ein Datenbus des DRAM-Speicherbausteins (2) und ein
25 Datenbus des nichtflüchtigen Speicherbausteins (3) verbunden werden, um Adressen von fehlerhaften Speicherzellen (4) im nichtflüchtigen Speicherbaustein (3) abzuspeichern.
4. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass mittels einer Schaltereinrichtung (7) ein
30 gemeinsamer Datenbus des DRAM-Speicherbausteins (2) und des nichtflüchtigen Speicherbausteins (3) ausserhalb des Multichip-Speichermoduls (1) deaktiviert wird.
- 35 5. Verfahren nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass Steuereingänge am DRAM-Speicherbaustein (2) und Steuereingänge am nichtflüchtigen Speicherbaustein

(3) von einer Selbsttest-Steuereinrichtung (5) angesteuert werden, wodurch die Steuereingänge von ausserhalb des Multi-chip-Speichermoduls (1) nicht mehr angesteuert werden können.

5 6. Verfahren nach Anspruch 1 bis 5, dadurch gekennzeichnet, dass mittels einer Selbsttest-Steuereinrichtung (5), die im DRAM-Speicherbaustein (2) angeordnet ist, Adressen des DRAM-Speicherbausteins (2) angesteuert werden um Speicherzellen zu testen.

10

7. Verfahren nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass mittels einer Zentralrecheneinheit (11) Adressen des nichtflüchtigen Speicherbausteins (3) angesteuert werden, um die Adressen der fehlerhaften Speicherzellen (4) abzuspeichern.

15

8. Verfahren nach Anspruch 3 bis 7, dadurch gekennzeichnet, dass die Adressen der fehlerhaften Speicherzellen (4) von der Zentralrecheneinheit im operativen Betriebsmodus des DRAM-Speicherbausteins (2), in dem Daten in die Speicherzellen (4) ein- oder von den Speicherzellen (4) ausgegeben werden, aus dem nichtflüchtigen Speicherbaustein (3) gelesen und nicht adressiert werden.

20

9. Verfahren nach Anspruch 2 bis 8, dadurch gekennzeichnet, dass die Fehleradressen während des operativen Betriebsmodus des DRAM-Speicherbausteins (2) von einer Adressdekodierschaltung (6a,6b) des DRAM-Speicherbausteins (2) übersprungen werden.

25

30

10. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die mittels des Selbsttests erkannten fehlerhaften Speicherzellen (4) im DRAM-Speicherbaustein (2) durch redundante Speicherzellen (4) ersetzt werden.

35

11. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der Selbsttest während eines Akkuladevorganges und/oder während einer Standby-Zeit des Gerätes (8) eingesetzt wird.

5

12. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der Selbsttest bei einem Akkuwechsel und/oder nach dem Abschalten des Gerätes (8) durchgeführt wird.

10

13. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der Selbsttest nach einem Zeitplan, der im nichtflüchtigen Speicherbaustein (3) abgespeichert ist, durchgeführt wird.

15

14. Vorrichtung zum Testen von Speicherzellen (4) eines DRAM-Speicherbausteins (2), wobei der DRAM-Speicherbaustein (2) in einem Multichip-Speichermodul (1) gemeinsam mit einem nichtflüchtigen Speicherbaustein (3) angeordnet ist, wobei das Multichip-Speichermodul (1) in einem Gerät (8), insbesondere in einem Mobiltelefon oder in einem Notebook verbaut ist,

20

d a d u r c h g e k e n n z e i c h n e t ,

25

dass eine Selbsttest-Steuereinrichtung (5) innerhalb des DRAM-Speicherbausteins (2) oder des nichtflüchtigen Speicherbausteins (3) angeordnet ist, mit deren Hilfe in einer Zeit, in der auf die Speicherzellen (4) des DRAM-Speicherbausteins (2) in einem operativen Betriebsmodus nicht zugegriffen wird, ein Selbsttest des DRAM-Speicherbausteins (2) durchgeführt wird, bei dem die Funktionsfähigkeit der Speicherzellen (4) überprüft wird.

30

35

15. Vorrichtung nach Anspruch 14, dadurch gekennzeichnet, dass eine Zentralrecheneinheit (11), die außerhalb des Multichip-Speichermoduls (1) angeordnet ist, vorgesehen ist, um

Steuerbefehle an den DRAM-Speicherbaustein (2) abzugeben, wobei die Zentralrecheneinheit (11) mit der Selbsttest-Steuereinrichtung (5) verbunden ist und wobei die Zentralrecheneinheit (11) die Durchführung des Tests startet.

5

16. Vorrichtung nach Anspruch 15, dadurch gekennzeichnet, dass während des Selbsttests ein Datenbus des DRAM-Speicherbausteins (2) und ein Datenbus des nichtflüchtigen Speicherbausteins (3) innerhalb des Multichip-Speichermoduls (1) verbunden werden, um Adressen von fehlerhaften Speicherzellen (4) im nichtflüchtigen Speicherbaustein (3) abzuspeichern.

17. Vorrichtung nach Anspruch 14 bis 16, dadurch gekennzeichnet, dass eine Schaltereinrichtung (7) vorgesehen ist, mit der ein gemeinsamer Datenbus des DRAM-Speicherbausteins (2) und des nichtflüchtigen Speicherbausteins (3) ausserhalb des Multichip-Speichermoduls (1) deaktiviert wird.

18. Vorrichtung nach Anspruch 14 bis 17, dadurch gekennzeichnet, dass mittels der Selbsttest-Steuereinrichtung (5) Steuereingänge am DRAM-Speicherbaustein (2) und Steuereingänge am nichtflüchtigen Speicherbaustein (3) ansteuerbar sind, wobei die Steuereingänge am DRAM-Speicherbaustein (2) und am nichtflüchtigen Speicherbaustein (3) durch ein Abschalten einer elektronischen Schaltereinrichtung von ausserhalb des Multichip-Speichermoduls (1) nicht mehr ansteuerbar sind.

19. Vorrichtung nach einem der Ansprüche 15 bis 18, dadurch gekennzeichnet, dass sie die mittels des Selbsttests gefunden fehlerhaften Speicherzellen (4) im DRAM-Speicherbaustein (2) durch redundante Speicherzellen (4) ersetzt.

Zusammenfassung

Verfahren und Vorrichtung zum Testen von DRAM-Speicherbausteinen in Multichip-Speichermodulen

- 5 Es wird ein Verfahren zum Testen von Speicherzellen eines
DRAM-Speicherbausteins vorgeschlagen, wobei der DRAM-
Speicherbaustein in einem Multichip-Speichermodul gemeinsam
mit einem nicht flüchtigen Speicherbaustein angeordnet ist
und wobei das Multichip-Speichermodul in einem Gerät, insbe-
10 sondere in einem Mobiltelefon oder einem Notebook verbaut
ist. Das Verfahren sieht vor, dass der DRAM-Speicherbaustein
in einer Zeit, in der auf die Speicherzellen des DRAM-
Speicherbausteins in einem operativen Betriebsmodus des Gerä-
tes nicht zugegriffen wird, einem Selbsttest unterzogen wird,
15 bei dem die Funktionsfähigkeit der Speicherzellen überprüft
wird. Ferner wird eine Vorrichtung zur Durchführung des er-
findungsgemäßen Verfahrens vorgeschlagen.

20 Figur 1

Figur für die Zusammenfassung

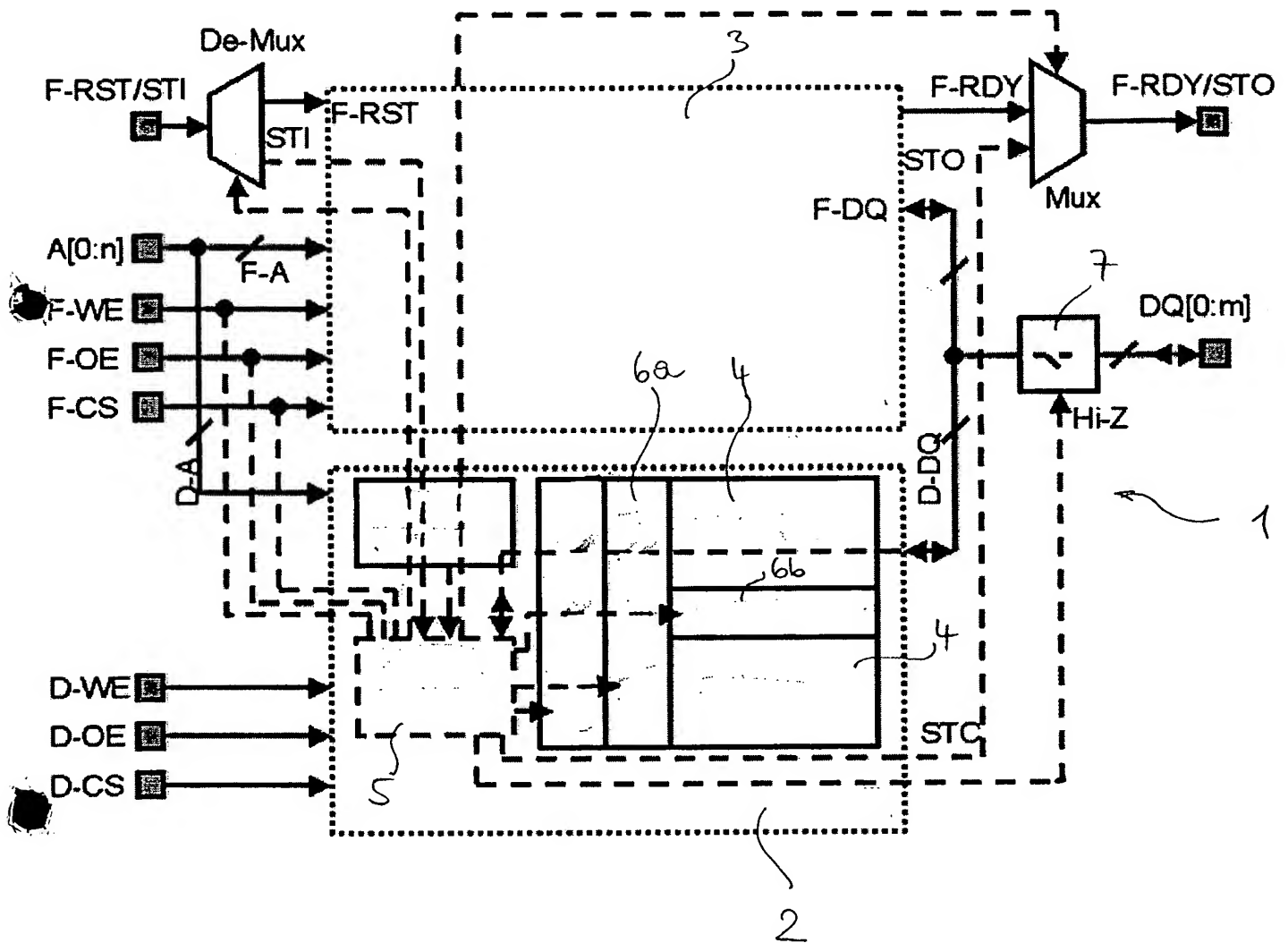


Fig. 1

Bezugszeichenliste

- | | |
|--------|----------------------------------|
| 1 | Multichip-Speichermodul |
| 2 | DRAM-Speicherbaustein |
| 3 | nichtflüchtiger Speicherbaustein |
| 4 | Speicherzellen |
| 5 | Selbsttest-Steuereinrichtung |
| 6a, 6b | Adressdekodierschaltung |
| 7 | Schaltereinrichtung |
| 8 | Gerät |
| 9 | Akku |
| 10 | Erkennungseinrichtung |
| 11 | Zentralrecheneinheit |

1/2

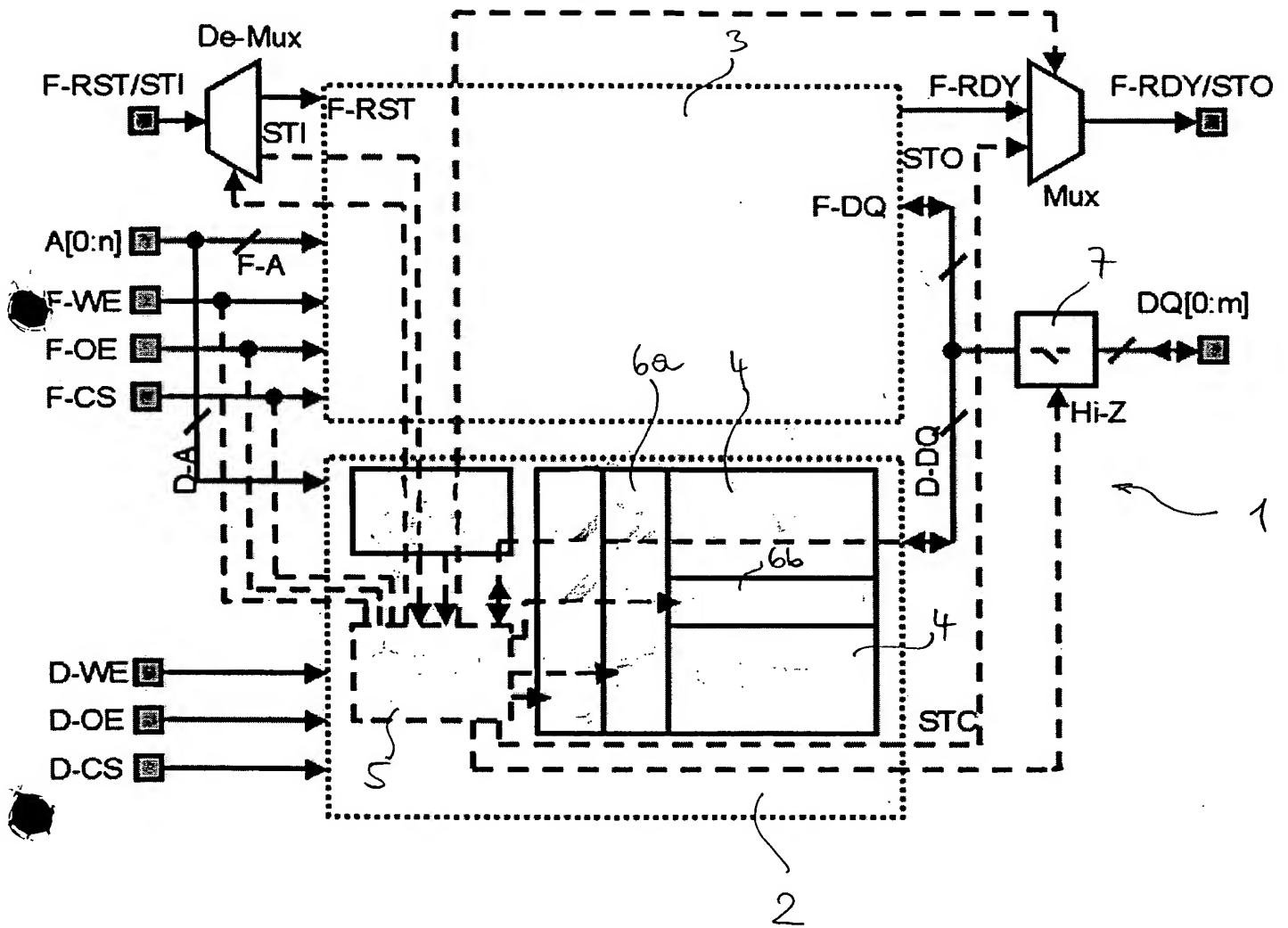


Fig. 1

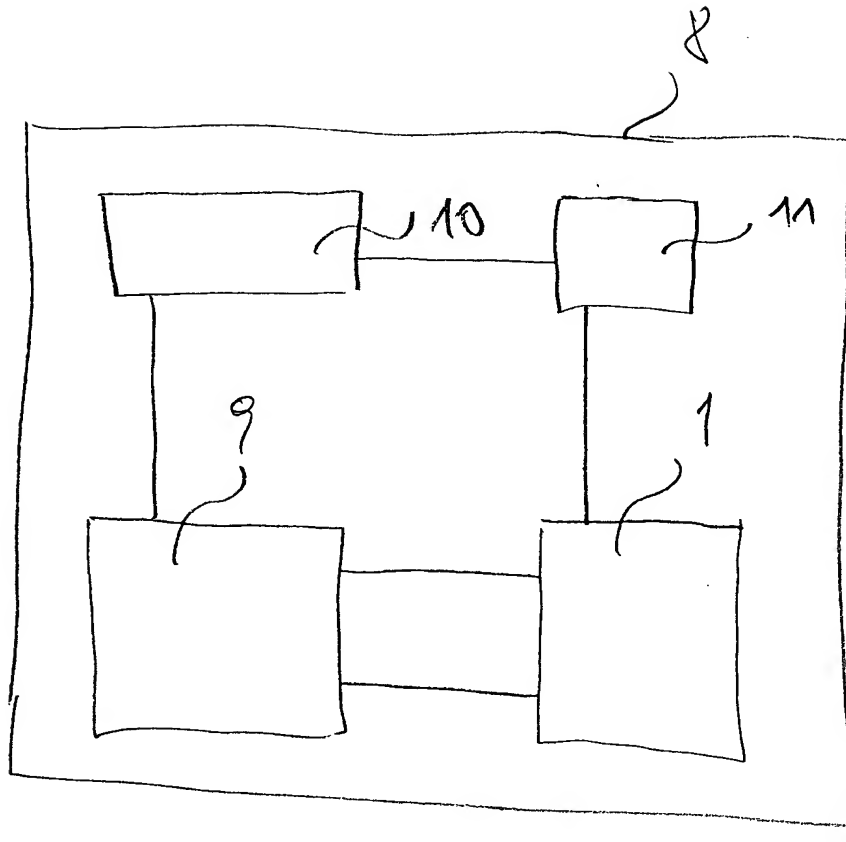


Fig. 2